

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Patent Application of
Wen-Chi WANG et al. : Group Art Unit: Not Yet Assigned
Application No.: Not Yet Assigned : Examiner: Not Yet Assigned
Filed: March 22, 2004 :
For: **VARIABLE GAIN AMPLIFIER**

CLAIM TO PRIORITY UNDER 35 U.S.C. § 119

Assistant Commissioner of Patents
P.O. Box 1450
Alexandria, Virginia 22313-1450

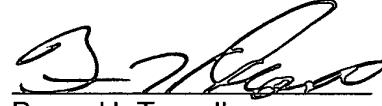
Sir:

Pursuant to the provisions of 35 U.S.C. § 119 and 37 C.F.R. § 1.55, Applicant claims the right of priority based upon **Taiwanese Application No. 092106898 filed March 27, 2004.**

A certified copy of Applicant's priority document is submitted herewith.

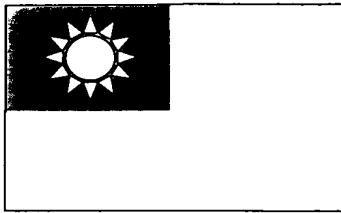
Respectfully submitted,

By:


Bruce H. Troxell
Reg. No. 26,592

TROXELL LAW OFFICE PLLC
5205 Leesburg Pike, Suite 1404
Falls Church, Virginia 22041
Telephone: (703) 575-2711
Telefax: (703) 575-2707

Date: March 22, 2004



91405205
920690.61

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE
MINISTRY OF ECONOMIC AFFAIRS
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，
其申請資料如下：

This is to certify that annexed is a true copy from the records of this
office of the application as originally filed which is identified hereunder:

申 請 日 期：西元 2003 年 03 月 27 日
Application Date

申 請 案 號：092106898
Application No.

申 請 人：瑞昱半導體股份有限公司
Applicant(s)

局 長

Director General



發文日期：西元 2003 年 9 月 1 日
Issue Date

發文字號：09220883720
Serial No.

91A-0527W

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一 發明名稱	中文	可變增益放大裝置
	英文	Variable Gain Amplifier
二 發明人 (共4人)	姓名 (中文)	1. 王文祺 2. 李朝政
	姓名 (英文)	1. Wang Wen-Chi 2. Lee Chao-Cheng
	國籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW
	住居所 (中 文)	1. 雲林縣西螺鎮新豐里225號 2. 桃園縣中壢市新生路三吉公寓2巷61-1號
	住居所 (英 文)	1. No. 225, Shinfeng Li, Shiluo Jen, Yunlin, Taiwan 648, R. O. C. 2. No. 61-1, Lane 2, Shinsheng Rd., Jungli City, Taoyuan, Taiwan 320, R. O. C.
三 申請人 (共1人)	名稱或 姓名 (中文)	1. 瑞昱半導體股份有限公司
	名稱或 姓名 (英文)	1. Realtek Semiconductor Corp.
	國籍 (中英文)	1. 中華民國 TW
	住居所 (營業所) (中 文)	1. 新竹科學園區工業東九路2號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. No. 2, Industry E. Rd. IX, Science-Based Industrial Park, Hsinchu, Taiwan
	代表人 (中文)	1. 葉博任
代表人 (英文)	1. Po-Len Yeh	

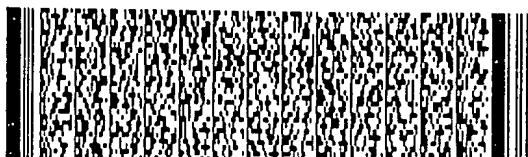


申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

發明專利說明書

一、 發明名稱	中文	
	英文	
二、 發明人 (共4人)	姓名 (中文)	3. 黃睿政 4. 蔡瑞原
	姓名 (英文)	3. Huang Jui-Cheng 4. Tsai Jui-Yuan
	國籍 (中英文)	3. 中華民國 TW 4. 中華民國 TW
	住居所 (中 文)	3. 新竹市武陵路179巷12號13樓之4 4. 台南市金華路一段475巷30號
三、 申請人 (共1人)	住居所 (營業所) (中 文)	3. 13F1.-4, No. 12, Lane 179, Wuling Rd., Hsinchu, Taiwan 300, R.O.C. 4. No. 30, Lane 475, Sec. 1, Jinhua Rd., Nan Chiu, Tainan, Taiwan 702, R.O.C.
	住居所 (營業所) (英 文)	
代表人 (中文)	名稱或 姓名 (中文)	
	名稱或 姓名 (英文)	
代表人 (英文)	國籍 (中英文)	
	住居所 (營業所) (中 文)	
住居所 (營業所) (英 文)		
代表人 (中文)		
代表人 (英文)		



107601wf.pdf

四、中文發明摘要 (發明名稱：可變增益放大裝置)

一種可變增益放大裝置架構，其係由運算放大器與電阻所組成，藉由所選擇的輸出級控制回授電阻值的大小，讓此可變增益放大裝置架構之增益可以根據需要調整，並具有對輸入為訊號放大與衰減之功能。而此可變增益放大裝置架構可運用二級之運算放大單元，可作粗部增益之調整與細部增益之調整，而藉由此兩級式的增益調整，可根據設計上的需要，調整出所需要的增益值。

伍、(一)、本案代表圖為：第 4 圖

(二)、本案代表圖之元件代表符號簡單說明：

運算放大器 412、422

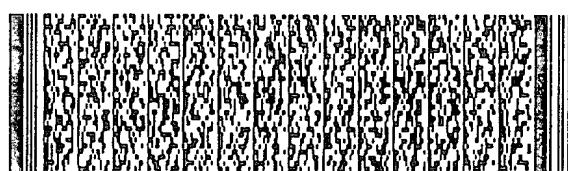
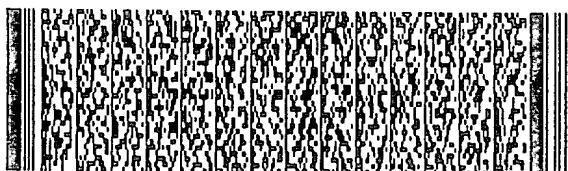
開關 $S_{w1} \sim S_{wn}$ 、 $S_{k1} \sim S_{kn}$

輸入電阻 R_i 、 $R_{s1} \sim R_{sn}$

回授電阻 $R_{f1} \sim R_{fn}$ 、 $R_{k1} \sim R_{k2}$

陸、英文發明摘要 (發明名稱：Variable Gain Amplifier)

A variable gain amplifier. The variable gain amplifier includes at least an operation amplifier. By choosing one of output stages, a feedback resistor is selected and the gain of the variable gain amplifier is decided according to the resistance of the selected feedback resistor, as desired. By adjusting the gain of the variable gain amplifier, the received signals can be



四、中文發明摘要 (發明名稱：可變增益放大裝置)

陸、英文發明摘要 (發明名稱：Variable Gain Amplifier)

amplified or reduced in accordance with design requirement. The variable gain amplifier can include a two-stage architecture, in which a first stage is used for coarse gain adjustment and a second stage is used for fine gain adjustment. The gain of the two-stage variable gain amplifier can be easily adjusted to a desired value.



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

二、主張專利法第二十五條之一第一項優先權：

申請案號：

日期：

三、主張本案係符合專利法第二十條第一項第一款但書或第二款但書規定之期間

日期：

四、有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

有關微生物已寄存於國內(本局所指定之寄存機構)：

寄存機構：

寄存日期：

寄存號碼：

熟習該項技術者易於獲得，不須寄存。



五、發明說明 (1)

發明所屬之技術領域

本發明是有關於一種運算放大器，且特別是有關於一種可變增益之放大裝置。

先前技術

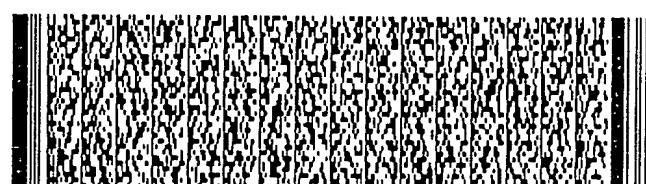
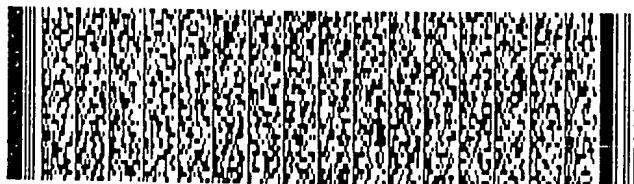
一般傳統的可變增益放大器 (Variable Gain Amplifier) 係由運算放大器 (Operation Amplifier，底下簡稱為 "OPA") 、電阻器 (Resistor) 以及由金屬氧化半導體 (MOS) 元件之開關所組成。例如第1圖所示之一種傳統的可變增益放大器架構 100，其具有運算放大器 (OPA) 110，以及串接之電阻組 120 及其對應的開關組 130 所組成。此串接的電阻組 120 包括如圖所示之電阻 R_{f1} 、 R_{f2} 、…、 R_{fn} ，而其對應之開關組 130 之元件包括開關 SW_1 、 SW_2 、…、 SW_n ，此開關一般由 MOS 電晶體所組成。輸入訊號 V_i 經由運算放大器 110 之正端輸入，而運算放大器 110 的輸出端至運算放大器 110 的負輸出端的電阻值 (R_f) 和運算放大器 110 負輸入端至接地端 (Ground Node) 的電阻值 (R_g)，其比值加一即為增益 (Gain，底下以 "G" 表示)， $G=1+R_f/R_g$ 。而電阻值 (R_f) 與電阻值 (R_g) 係由對應的開關組 130 之開關狀態所決定。此種傳統之可變增益放大器架構 100 優點係增益變化保證單調遞增 (Monotonic)，且因為電流不會通過由 MOS 開關，所以 MOS 開關不會造成非線性失真以及增益誤差。然而，其缺點在於運算放大器 110 的正輸入端隨輸入訊號 V_i 的變動而變動，由於運算放大器 110 的輸入動態範圍 (Input Dynamic Range) 較小，因此，此種架構之可變增

五、發明說明 (2)

益放大器失真較大。此外，此種架構無法作訊號之衰減，並且增益之準確性(Gain Accuracy)較差。

又例如第2圖所示之另一種傳統的可變增益放大器架構200，包括一運算放大器(OPA)210、一輸入電阻 R_i 、一串接之回授電阻組($R_{k1}、R_{k2} \dots, R_{kn}$)220及其對應之開關組($S_{k1}、S_{k2} \dots, S_{kn}$)230，這些開關係由MOS電晶體所組成。輸入訊號 V_i 係接至輸入電阻 R_i 的一端，輸入電阻 R_i 的另外一端則連接到運算放大器(210)之負輸入端，回授電阻組220則連接至運算放大器210的負輸入端以及運算放大器210之輸出端。其增益(Gain)即由此經由開關組230之一開關所選擇的回授電阻值與輸入電阻 R_i 之阻值所決定($G=R_k/R_i$)。此種架構因為運算放大器210的輸入端固定在接地端，係接地端可為一虛擬之接地(Virtual Ground)，所以運算放大器之失真較小。但是，由於電流會經過MOS開關，因此，MOS開關的非線性特性，將會造成訊號之失真，MOS開關的阻抗也會造成增益之誤差。

此外，第2圖所示之運算放大器電路的另一缺點為，若可允許的的雜訊非常低時，輸入電阻與回授電阻之阻抗都必須採用非常小的數值。然而，金屬氧化半導體(Metal Oxide Semiconductor，底下簡稱“MOS”)開關本身即具有一等效的電阻，當輸入電阻與回授電阻之阻值很小時，MOS開關的等效電阻必須採用非常大的數值，以降低失真與增益誤差。但是，若是採用非常大的MOS開關，則其雜散電容(Parasitic Capacitors)容易造成迴路之不穩定及



五、發明說明 (3)

干擾(Substrate Coupling)之現象產生。

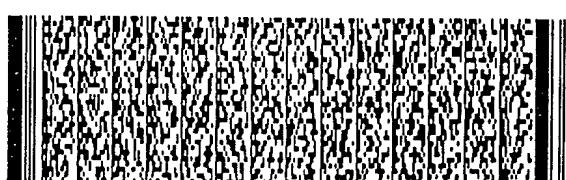
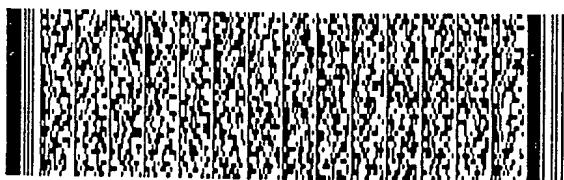
發明內容

有鑑於此，本發明的目的就是在提供一種運算放大器及具有該運算放大器之可變增益放大裝置，具有可作為訊號放大與衰減之功能，且同時能保有低失真與低雜訊之特性。

本發明的再一目的是提供一種可變增益放大裝置架構，其係由運算放大器與電阻所組成，藉由所選擇的輸出級控制回授電阻值的大小，讓此可變增益放大裝置架構之增益可以根據需要調整，並具有對輸入為訊號放大與衰減之功能。

本發明的又一目的是提供一種可變增益放大裝置架構。此可變增益放大裝置包括一第一級運算放大單元與一第二級運算放大單元。第一級運算放大單元可作為粗部增益(Course Gain)之調整，而第二級運算放大單元則可作為細部增益(Fine Gain)之調整。藉由此兩級式的增益調整，可根據設計上的需要，調整出所需要的增益值。而且，由於第二級放大單元之輸入等效雜訊(Input Referred Noise)可以遠高於第一級放大單元，所以可以使用較大之輸入電阻以及回授電阻，也可以使用較小之MOS開關，而不致於造成明顯之非線性失真和增益誤差。

為達上述之目的，本發明提供一種可變增益放大裝置，經由一輸入電阻耦接到一輸入訊號，用以對該訊號進行放大與衰減。此可變增益放大裝置包括一運算放大器與



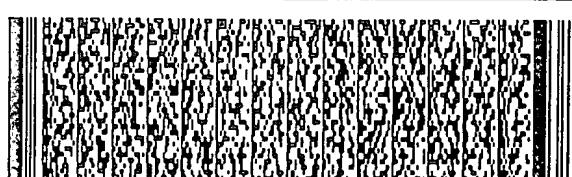
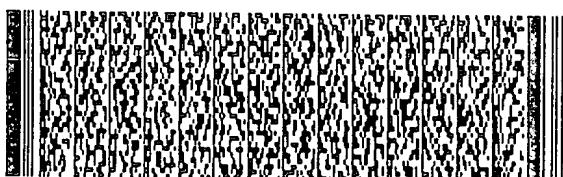
五、發明說明 (4)

上述之可變增益放大裝置中，輸入電阻可以選擇性地



五、發明說明 (5)

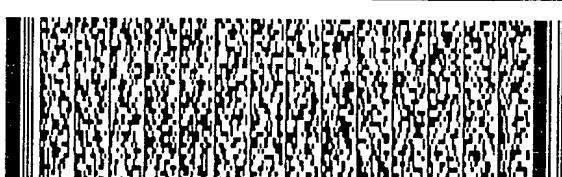
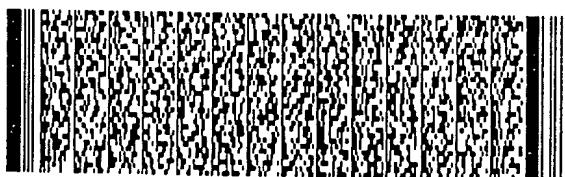
經由一靜電放電保護裝置耦接到運算放大器。



五、發明說明 (6)

上述之可變增益放大裝置，其中第一輸入電阻係經由一靜電放電保護裝置耦接到第一運算放大器。

上述之可變增益放大裝置架構中，第一級運算放大單元可作為粗部增益(Course Gain)之調整，而第二級運算放大單元則可作為細部增益(Fine Gain)之調整。藉由此兩級式的增益調整，可根據設計上的需要，調整出所需要的增益值。而且，由於第二級放大單元之輸入等效雜訊(Input Referred Noise)可以遠高於第一級放大單元，所以可以使用較大之輸入電阻以及回授電阻，也可以使用較小之MOS開關，而不致於造成明顯之非線性失真和增益誤



五、發明說明 (7)

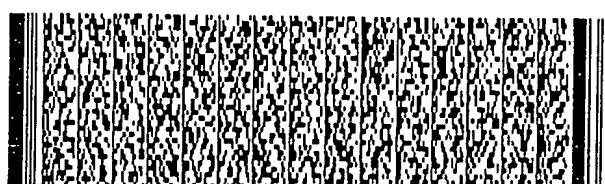
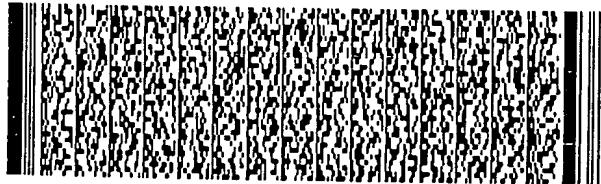
差。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

實施方式：

本發明係運用第2圖所示之可變增益放大器架構所改良。因為此種架構可以避開運算放大器因輸入動態範圍較小而造成失真的問題。本發明所提出解決之方法，係利用運算放大器之輸出級(Output Stage)作為開關，以取代MOS的功能，如此，將可避免使用MOS開關串接於小電阻上所造成失真之問題。

基本上，本發明所提出之可變增益放大裝置架構，係由運算放大器與電阻所組成，而不運用MOS之開關。此架構包括輸入電阻、運算放大器之預推動級、複數個運算放大器之輸出級以及與這些輸出級之輸出端分別耦接之複數個回授電阻。在一較佳之實施例之運用上，運算放大器之預推動級、輸出級以及與回授電阻可設計在同一個積體電路(Integrated Circuit)上，而輸入電阻則可置於外部，亦可設計在同一積體電路中。此輸入電阻一端連接到輸入訊號，而另外一端則連接到此積體電路之輸入端點(PAD)上，在另一可選擇之實施例中，此輸入電阻可經由輸入端點(PAD)與一靜電放電(Electrostatic Discharge)保護裝置("ESD")連接到此積體電路之上，以避免在當輸入訊號過大時，可能造成損壞此可變增益放大裝置之問題產



五、發明說明 (8)

生。

本發明之一實施例之可變增益放大裝置架構，如第3圖所示，由運算放大器310、輸入電阻 R_i 與回授電阻 R_{fi} 所組成，而不運用MOS之開關。而此可變增益放大裝置架構300之運算放大器310包括一預推動級312以及複數個輸出級3141、3142、……、314n所組成。預推動級312之正輸出端則連接到輸出級3141、3142、……、314n之正輸入端，而預推動級312之負輸出端則連接到輸出級3141、3142、……、314n之負輸入端。而每一個輸出級314i皆耦接到一對應的回授電阻 R_{fi} ，其中 $i=1 \sim n$ 。除此之外，每一輸出級314i亦耦接到其對應的控制信號 C_{ti} ， $i=1 \sim n$ 。而每一輸出級314i之輸出端則經由對應的回授電阻 R_{fi} 耦接到運算放大器310中之預推動級312之負輸入端中。輸入電阻 R_i 之一端連接到輸入訊號 V_i ，而另外一端則連接到一輸入端點PAD，並經一防靜電保護裝置ESD 330連接到預推動級312之負輸入端。

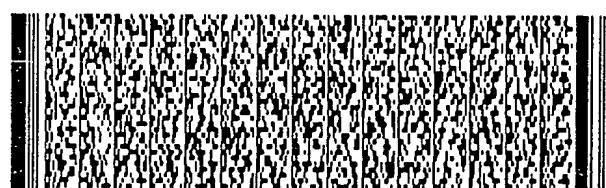
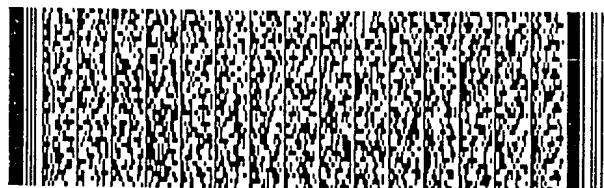
經由控制信號 C_{t1} 、 C_{t2} 、……、 C_{tn} 之控制，預推動級312則會經由被控制信號 C_{t1} 、 C_{t2} 、……、 C_{tn} 所驅動選擇之輸出級314i，經由與之耦接之回授電阻 R_{fi} ，構成此可變增益放大裝置架構300之增益($G=R_{fi}/R_i$)，需注意的是，回授電阻 R_{fi} 之阻值經過適當的設計，當以控制信號選擇任一輸出級314i時，可變增益發大裝置架構300之增益皆不相同。而此藉由所選擇的輸出級314i控制回授電阻值 R_{fi} 的大小，讓此可變增益放大裝置架構300之增益可以

五、發明說明 (9)

根據需要調整，並具有對輸入為訊號放大與衰減之功能。而此選擇輸出級以控制回授電阻，將可取代傳統的MOS開關。如此，傳統的可變增益放大裝置因為使用MOS開關而造成迴路之不穩定及干擾(Substrate Coupling)之現象將可避免。除此之外，亦可避免使用MOS開關串接於小電阻上所造成失真之問題，此將可應用在雜訊要求非常低之設計上，例如通訊系統中常有的要求，如在非對稱數位用戶線(Asymmetric Digital Subscriber Line，"ADSL")通訊系統中，要求非常低的雜訊比等等。

本發明所提出由運算放大器與電阻所組成，而不運用MOS開關之可變增益放大裝置架構，藉由所選擇的輸出級控制回授電阻值的大小，讓此可變增益放大裝置架構之增益可以根據需要調整，並具有對輸入為訊號放大與衰減之功能。而將此發明之特徵，運用在另一較佳實施例中，更能突顯本發明之重要性。

請參照第4圖，係本發明之另一實施例之可變增益放大裝置架構400。此可變增益放大裝置400包括一第一級運算放大單元410與一第二級運算放大單元420。在此實施例中，第一級運算放大單元410可作為粗部增益(Course Gain)之調整，而第二級運算放大單元420則可作為細部增益(Fine Gain)之調整。藉由此兩級式的增益調整，可根據設計上的需要，調整出所需要的增益值。而且，由於第二級放大單元420之輸入等效雜訊(Input Referred Noise)可以遠高於第一級放大單元410，所以可以使用較

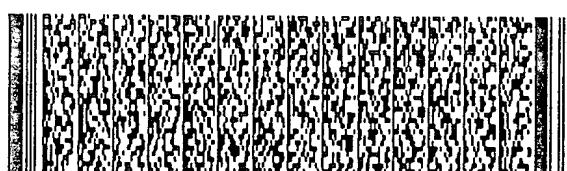
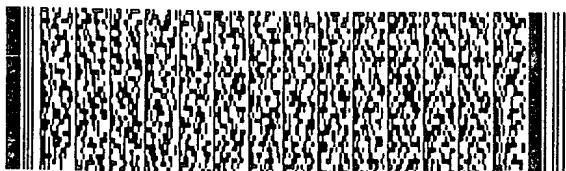


五、發明說明 (10)

大之輸入電阻以及回授電阻，也可以使用較小之MOS開關，而不致於造成明顯之非線性失真和增益誤差。

第4圖中的第一級運算放大單元410，係由運算放大器412、輸入電阻 R_i 與複數個回授電阻 R_f 所組成。而此運算放大單元410包括一預推動級411以及複數個輸出級4131、4132、……、413n所組成。預推動級411之正輸出端則連接到輸出級4131、4132、……、413n之正輸入端，而預推動級411之負輸出端則連接到輸出級4131、4132、……、413n之負輸入端。而每一個輸出級413i皆耦接到一對應的回授電阻 R_{fi} ，其中 $i=1~n$ 。除此之外，每一輸出級413i亦耦接到其對應的控制信號 C_{ti} ， $i=1~n$ 。而每一輸出級413i之輸出端則經由對應的回授電阻 R_{fi} 耦接到預推動級411之負輸入端中。輸入電阻 R_i 之一端連接到輸入訊號 V_i ，而另外一端則連接到一輸入端點PAD，並經一防靜電保護裝置416連接到預推動級411之負輸入端。

而第4圖中的第二級運算放大單元420，係由運算放大器422、複數個輸入電阻 R_{si} ($i=1~n$)、複數個回授電阻 R_{ki} ($i=1~n$)以及其所對應之開關 S_{ki} ($i=1~n$)所組成。輸入電阻 R_{si} 係透過開關 S_{w1} 、 S_{w2} 、……、 S_{wn} 與耦接到運算放大器422之負輸入端。而開關 S_{w1} 、 S_{w2} 、……、 S_{wn} 則亦是經由第一級運算放大單元410中的控制信號 C_{t1} 、 C_{t2} 、……、 C_{tn} 所同步控制。而運算放大器422之正輸入端則連接接地(Virtual Ground)。另外，運算放大器422之輸出端則經由回授電阻 R_{ki} 以及其所對應之開關 S_{ki} 耦接到運算放大器



五、發明說明 (11)

422 之負輸入端。

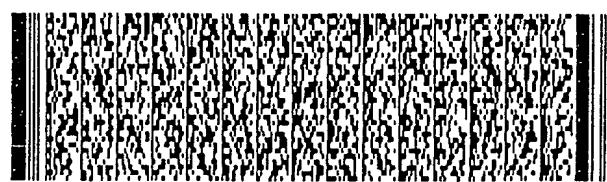
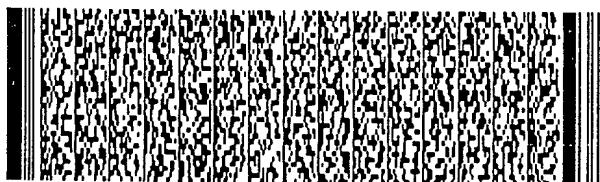
在本實施例中之運用第一級運算放大單元410作粗部增益(Course Gain)調整，而運用第二級運算放大單元420作細部增益(Fine Gain)調整，其整體運作過程操作，則以底下之實施例說明。藉由複數個控制信號 $Ct1$ 、 $Ct2$ …… Ctn ，選定該些輸出級 4131 、 4132 …… $413n$ 之一者與預推動級414耦接。此時，第一級運算放大單元410之增益，即為整個運算放大裝置之粗部增益之值係為 $Gc=R_{fi}/R_i$ 。其中， R_{fi} 係為與該輸出級相對應之回授電阻 R_{fi} 之阻值。需注意的是，第二級運算放大單元420之電路架構係與前文所述之習知之運算放大裝置之電路架構相同(請參照第2圖所示，及說明書中相對應的敘述)。故，可藉由將第二級運算放大器中，與由控制信號選定之輸出級相對應的MOS開關 Sw_i 關上，並選定適當的開關 $Sk1$ 、 $Sk2$ …… Skn 之一者，來決定第二級運算放大單元420之增益，即整個運算放大單元之細部增益 Gf 。如此，整個可變增益放大裝置400的增益則為 $G=Gc'Gf$ 。而上述粗部增益調整與細部增益調整之變化幅度，則是設計上的需要而設定。例如，對於粗部增益調整幅度而言，可經由設定第一級運算放大單元410之輸出級 $413i$ 與其對應之回授電阻 R_{fi} 之數量即可改變其變化幅度。又例如對於細部增益調整幅度而言，可經由設定第二級運算放大單元420之回授電阻 R_{ki} ($i=1~n$)以及其所對應之開關 Sk_i ($i=1~n$)之數量即可改變其變化幅度。此具有相當好之設計彈性，並符合各種不同之設計要求。

五、發明說明 (12)

底下將以一實例說明。

以一具體之實施例說明，若設計上所需要的增益為-18dB~23dB，並且以1dB為變化的低雜訊可變增益放大裝置。則第一級運算放大單元410實現的增益可設定為-18dB~18dB，而以6dB為變化。第二級運算放大單元420實現的增益為0dB~5dB，而以1dB為變化。第一級輸入阻抗(R_i)假設為1000歐母(W)，則第一級回授電阻由於增益值從-18dB到18dB，並以6dB為變化則需要七個電阻(R_{f1} 、 R_{f2} 、…、 R_{f7})，則這些電阻可分別設定為125、250、…、8000歐母。而第二級輸入阻抗(R_{s1} 、 R_{s2} 、…、 R_{s7})則全部設定為20000歐母。而在第二級運算放大單元420中之回授電阻，因為假設增益值係從0dB到5dB，並且以1dB為變化，則需要六個電阻(R_{k1} 、 R_{k2} 、 R_{k3} 、 R_{k4} 、 R_{k5} 與 R_{k6})，分別設定為20000、2000、3000、3000、4000、4000歐母。可以發現由於第一級最小的電阻125歐母為第二級輸入電阻20000歐母的1/160倍。若第一級採用傳統的做法，並以MOS開關作為增益切換，要達到如第二級一樣小的非線性失真和增益誤差，則第一級MOS開關必須加大160倍。從此例可知，此實施例中的非線性失真和增益誤差已有非常明顯之改善。此可適用於具有低雜訊要求之可變增益放大裝置。

上述之第4圖之可變增益放大裝置架構400僅係本發明之一實施例，任何之修正或潤飾，仍不脫離本發明之範疇。例如，請參照第4A圖，係本發明之又一實施例之可變



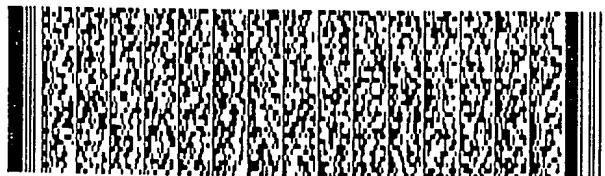
五、發明說明 (13)

增益放大裝置架構400。此可變增益放大裝置400包括一第一級運算放大單元410與一第二級運算放大單元420。基本上，此實施例之架構與第4圖之可變增益放大裝置架構400大致上相同，因此，以相同之標號表示。而差異處係第4圖中的複數個輸入電阻 R_{si} ($i=1 \sim n$) 改成固定之輸入電阻 R_s 。而對於第二級運算放大單元420之細部增益調整幅度部份，可經由設定之回授電阻 R_{ki} ($i=1 \sim n$) 以及其所對應之開關 S_{ki} ($i=1 \sim n$) 之數量即可改變其變化幅度。

上述開關 Sw_1 、 Sw_2 、…、 Sw_n 之結構，請參照第5圖所示，係開關 Sw_i 之一較佳實施例之電路圖。在開關510結構中，係運用兩個MOS電晶體所組成。其中一個PMOS閘極係連接到信號 Sw_{iB} ，而另外一個NMOS的閘極則連接到信號 Sw_i ，而信號 Sw_i 與 Sw_{iB} 之實際上是一互為反相之信號，其可經由例如一反相器530將信號 Sw_i 反相即可。而由兩個MOS電晶體所組成的開關510則與電路結構520所示相同。根據第4圖之可變增益放大裝置架構400中，實際上，驅動開關510之信號 Sw_i 即為運算放大單元410中的控制信號 C_{ti} 。

請參照第6圖，係顯示在運算放大單元410中之運算放大器610之構造。此運算放大器610包含有一預推動級612和一選定之輸出級614。此預推動級612有正負二輸入端，以及正負二輸出端。而輸出級614則有正負二輸入端，以及一輸出端。

而此輸出級614之一實施例結構，則如第7圖所示，係

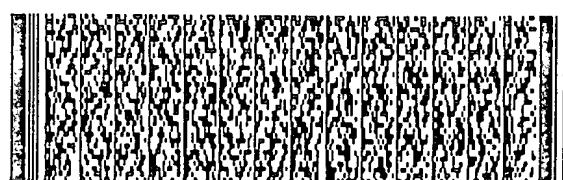
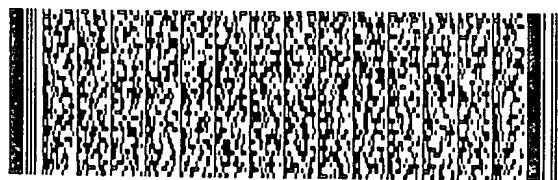


五、發明說明 (14)

繪示輸出級710及其電路符號720。此輸出級710包括輸出MOS電晶體Mon與Mop，以及MOS電晶體開關Msw1~Msw4。電晶體Mon係一N型電晶體，而電晶體Mop係一P型電晶體。電晶體Mon之源極接地，而其汲極與PMOS電晶體Mop耦接。而此PMOS電晶體Mop之源極係耦接到一電壓源VDD。而電晶體開關Msw1之源極係與預推動級之負輸出端耦接，其汲極係與電晶體Mon之閘極耦接，其閘極係耦接到一控制信號Cti。而開關Msw2之源極係與預推動級之正輸出端耦接，其汲極係與Mop之閘極耦接，其閘極係與另一控制信號CtiB耦接。其中控制信號CtiB係為控制信號Cti互為反相。而另一MOS開關Msw3之源極係接地，而其汲極係與MOS開關Msw1之汲極耦接，其閘極係與控制信號CtiB耦接。而另一MOS開關Msw4之源極係與電壓源VDD耦接，其汲極係與第二MOS開關Msw2之汲極耦接，其閘極係與控制信號Cti信號耦接。

當選到此一輸出級710時，Msw1與Msw2打開而Msw3與Msw4關掉，因為電流不會流經這些MOS電晶體開關，所以可以使用最小的MOS開關，而不必使用太大的輸出MOS電晶體，因為輸出MOS電晶體的非線性失真因迴路增益(Loop Gain)而降低了。

雖然本發明已以較佳實施例揭露於上，然其並非用以限定本發明，任何熟習此技藝者，再不脫離本發明之精神和範圍內，當可作各種之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。



圖式簡單說明

第1圖係繪示一種傳統的可變增益放大器架構。

第2圖係繪示一種傳統的可變增益放大器架構。

第3圖係繪示本發明之一實施例之可變增益放大裝置架構。

第4圖係繪示係本發明之另一實施例之可變增益放大裝置架構。

第4A圖係繪示係本發明之又一實施例之可變增益放大裝置架構。

第5圖係繪示第4圖中之可變增益放大裝置架構中之開關之一較佳實施例電路圖。

第6圖係繪示第4圖中之可變增益放大裝置架構中之運算放大單元之運算放大器構造之一較佳實施例電路圖。

第7圖係繪示第4圖中之可變增益放大裝置架構中之運算放大器構造之輸出級較佳實施例電路圖。

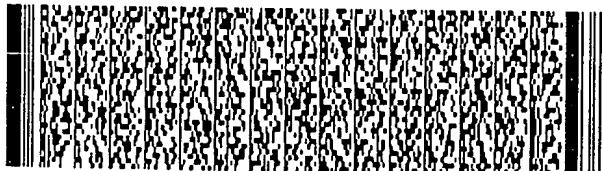
圖式標示說明：

運算放大器 110、210、310、412、422、610、620

開關 $S_{w1} \sim S_{wn}$ 、 $S_{k1} \sim S_{kn}$ 、510、520、 M_{sw1} 、 M_{sw2} 、 M_{sw3} 、 M_{sw4}

輸入電阻 $R_{i1} \sim R_{in}$

回授電阻 $R_{f1} \sim R_{fn}$ 、 $R_{k1} \sim R_{k2}$



六、申請專利範圍

1. 一種可變增益放大裝置，於一操作電壓下工作，包括：

一輸入電阻，耦接到一輸入訊號；

一運算放大器，包括：

一預推動級，具有一負輸入端耦接到該輸入電阻，用以接收該輸入訊號、一正輸入端用以接收一虛擬接地電壓、一正輸出端及一負輸出端；以及

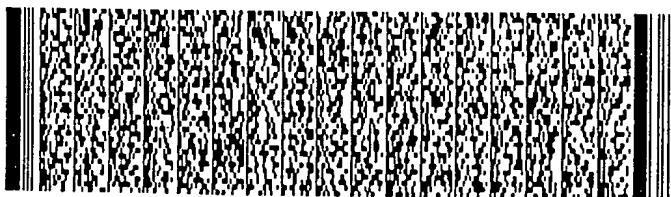
複數個輸出級，其中每該輸出級皆具有一正輸入端、一負輸入端及一輸出端，該些正輸入端係耦接到該預推動級之該正輸出端，且該些負輸入端係耦接到該預推動級之該負輸入端；以及

複數個回授電阻，每該回授電阻係分別與該預推動級之該負輸入端及該些輸出級之一者之該輸出端耦接，其中，每該回授電阻之阻值並不相同，其中，

藉由一第一控制信號，用以選擇性地使得該些輸出級之一者及相對應之該回授電阻與該預推動級形成一回授迴路。

2. 如申請專利範圍第1項所述之可變增益放大裝置，其中該輸入電阻係經由一靜電放電保護裝置耦接到該運算放大器。

3. 如申請專利範圍第1項所述之可變增益放大裝置，其中每該輸出級更包括：



六、申請專利範圍

一PMOS，其源極與該操作電壓耦接；

一NMOS，其源極接地，其汲極與該PMOS耦接；

一第一MOS開關，其源極係與該預推動級之該負輸出端耦接，其汲極係與該PMOS之閘極耦接，其閘極係與該第一控制信號耦接；

一第二MOS開關，其源極係與該預推動級之該正輸出端耦接，其汲極係與該NMOS之閘極耦接，其閘極係與一第二控制信號耦接；

一第三MOS開關，其源極係接地，其汲極係與該第一MOS開關之汲極耦接，其閘極係與該第二控制信號耦接；以及

一第四MOS開關，其源極係與該操作電壓耦接，其汲極係與該第二MOS開關之汲極耦接，其閘極係與該第一控制信號耦接，其中，

該第一MOS開關、該第二MOS開關及該第三MOS開關為NMOS，該第四MOS開關係為PMOS，且該第二控制信號係為該第一控制信號之反相。

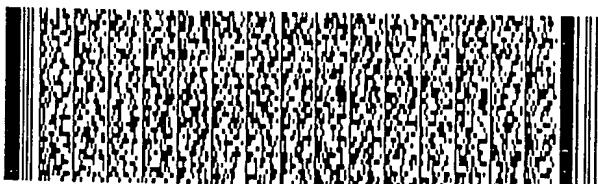
4. 如申請專利範圍第1項所述之可變增益放大裝置，其中每該輸出級更包括：

一PMOS，耦接該操作電壓；

一NMOS，一端耦接該PMOS，形成為該輸出級之該輸出端，另一端接地；

一第一開關單元；

一第二開關單元；



六、申請專利範圍

其中依據該第一控制信號之一第一狀態，該第一開關單元係用以控制該PMOS之閘極與該輸出級之該正輸入端耦接，該第二開關單元係用以控制該NMOS之閘極與該輸出級之該負輸入端耦接，且依據該第一控制信號之第二狀態，該第一開關單元係用以控制該PMOS之閘極與該操作電壓耦接，該第二開關單元係用以控制該NMOS之閘極與該接地點耦接。

5. 一種可變增益放大裝置，於一操作電壓下工作，包括：

一第一級運算放大單元，包括：

一第一輸入電阻，耦接到一輸入訊號；

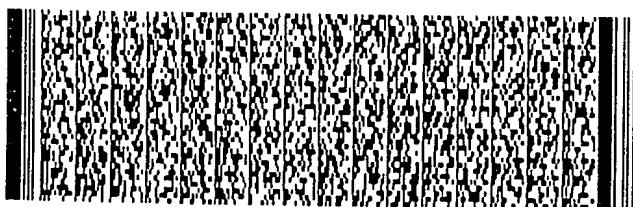
一運算放大器，包括：

一預推動級，具有一負輸入端耦接到該第一輸入電阻，用以接收該輸入訊號、一正輸入端用以接收一虛擬接地電壓、一正輸出端及一負輸出端；以及

複數個輸出級，其中每該輸出級皆具有一正輸入端、一負輸入端及一輸出端，該些正輸入端係耦接到該預推動級之該正輸出端，且該些負輸入端係耦接到該預推動級之該負輸入端；以及

複數個回授電阻，每該回授電阻係分別與該預推動級之該負輸入端及該些輸出級之一者之該輸出端耦接，其中，每該回授電阻之阻值並不相同；以及

一第二運算放大單元，包括：



六、申請專利範圍

複數個第二輸入電阻，分別與相對應之該些第一回授電阻之一者耦接；

複數個第一開關，每該第一開關係分別耦接到相對應之該些第二輸入電阻之一者；

一第二運算放大單元，具有一負輸入端與該些第一開關耦接，一正輸入端係用以接收該虛擬接地電壓，及一輸出端；

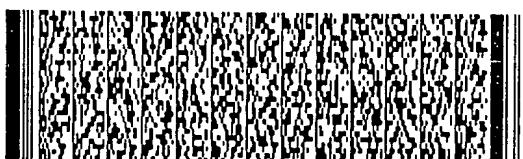
複數個第二回授電阻，該些第二回授電阻係串接成一電阻串，該電阻串係分別與該些開關及該第二運算放大單元之該輸出端耦接；以及

複數個第二開關，每該第二開關係分別與該些第一開關及相對應之該些第二開關之一者耦接，其中，

藉由一第一控制信號，選擇性地控制該些輸出級之一者，使得選定之該輸出級與相對應之該些第一回授電阻之一者及該預推動級形成一第一回授迴路，使該些第一開關之一者關閉，用以使相對應之該些第二輸入電阻之一者作為該第二運算放大單元的輸入電阻，使該些第二開關之一者關閉，用以使該些第二回授電阻之一者與該第二運算放大單元形成一第二回授迴路。

6. 如申請專利範圍第5項所述之可變增益放大裝置，其中該第一輸入電阻係經由一靜電放電保護裝置耦接到該第一運算放大器。

7. 如申請專利範圍第5項所述之可變增益放大裝置，其中每該輸出級更包括：



六、申請專利範圍

一PMOS，其源極與該操作電壓耦接；

一NMOS，其源極接地，其汲極與該PMOS耦接；

一第一MOS開關，其源極係與該預推動級之該負輸出端耦接，其汲極係與該PMOS之間極耦接，其閘極係與該第一控制信號耦接；

一第二MOS開關，其源極係與該預推動級之該正輸出端耦接，其汲極係與該NMOS之間極耦接，其閘極係與一第二控制信號耦接；

一第三MOS開關，其源極係接地，其汲極係與該第一MOS開關之汲極耦接，其閘極係與該第二控制信號耦接；以及

一第四MOS開關，其源極係與該操作電壓耦接，其汲極係與該第二MOS開關之汲極耦接，其閘極係與該第一控制信號耦接，其中，

該第一MOS開關、該第二MOS開關及該第三MOS開關為NMOS，該第四MOS開關係為PMOS，且該第二控制信號係為該第一控制信號之反相。

8. 如申請專利範圍第5項所述之可變增益放大裝置，其中每該輸出級更包括：

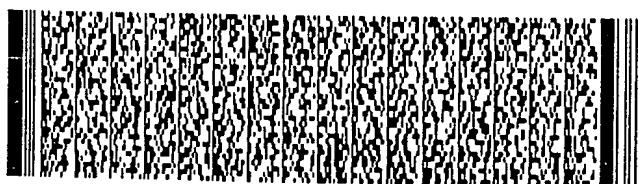
一PMOS，耦接該操作電壓；

一NMOS，一端耦接該PMOS，形成為該輸出級之該輸出端，另一端接地；

一第一開關單元；

一第二開關單元；

其中依據該第一控制信號之一第一狀態，該第一開關單



六、申請專利範圍

元係用以控制該PMOS之閘極與該輸出級之該正輸入端耦接，該第二開關單元係用以控制該NMOS之閘極與該輸出級之該負輸入端耦接，且依據該第一控制信號之第二狀態，該第一開關單元係用以控制該PMOS之閘極與該操作電壓耦接，該第二開關單元係用以控制該NMOS之閘極與該接地點耦接。

9. 一可變增益放大裝置，於一操作電壓下工作，包括：

一第一級運算放大單元，包括：

一第一輸入電阻，耦接到一輸入訊號；

一運算放大器，包括：

一預推動級，具有一負輸入端耦接到該第一輸入電阻，用以接收該輸入訊號、一正輸入端用以接收一虛擬接地電壓、一正輸出端及一負輸出端；以及

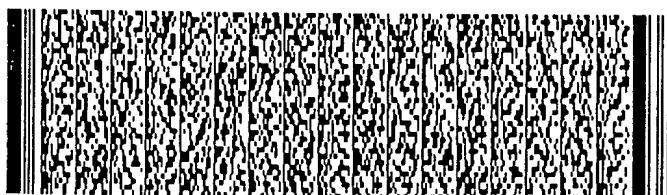
複數個輸出級，其中每該輸出級皆具有一正輸入端、一負輸入端及一輸出端，該些正輸入端係耦接到該預推動級之該正輸出端，且該些負輸入端係耦接到該預推動級之該負輸入端；以及

複數個回授電阻，每該回授電阻係分別與該預推動級之該負輸入端及該些輸出級之一者之該輸出端耦接，其中，每該回授電阻之阻值並不相同；以及

一第二級運算放大單元，包括：

一第二級輸入電阻，與該些第一回授電阻耦接；

複數個第一開關，每該第一開關係分別耦接到該第二輸入電阻；



六、申請專利範圍

一 第二運算放大單元，具有一負輸入端與該些第一開關耦接，一正輸入端係用以接收該虛擬接地電壓，及一輸出端；

複數個第二開關，每該第二開關係分別與該些第一開關及相對應之該些第二開關之一者耦接；以及

複數個第二回授電阻，該些第二回授電阻係串接成一電阻串，該電阻串係分別與該些第二開關及該第二運算放大單元之該輸出端耦接，其中，

藉由一第一控制信號，選擇性地控制該些輸出級之一者，使得選定之該輸出級與相對應之該些第一回授電阻之一者及該預推動級形成一第一回授迴路，使該些第一開關大者之關閉，用以使該第二輸入電阻作為該第二運算放大單元形成一第二回授迴路。

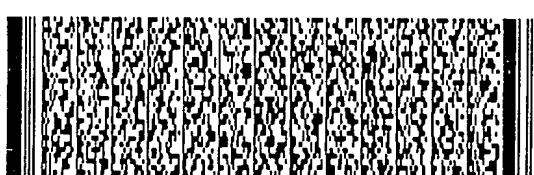
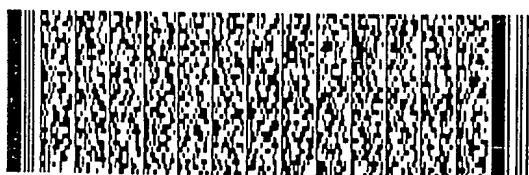
10. 如申請專利範圍第9項所述之可變增益放大裝置，其中該第一輸入電阻係經由一靜電放電保護裝置耦接到該第一運算放大器。

11. 如申請專利範圍第9項所述之可變增益放大裝置，其中每該輸出級更包括：

一PMOS，其源極與該操作電壓耦接；

一NMOS，其源極接地，其汲極與該PMOS耦接；

一第一MOS開關，其源極係與該預推動級之該負輸出端耦接，其汲極係與該PMOS之閘極耦接，其閘極係與該第一



六、申請專利範圍

控制信號耦接；

一第二MOS開關，其源極係與該預推動級之該正輸出端耦接，其汲極係與該NMOS之間極耦接，其閘極係與一第二控制信號耦接；

一第三MOS開關，其源極係接地，其汲極係與該第一MOS開關之汲極耦接，其閘極係與該第二控制信號耦接；以及

一第四MOS開關，其源極係與該操作電壓耦接，其汲極係與該第二MOS開關之汲極耦接，其閘極係與該第一控制信號耦接，其中，

該第一MOS開關、該第二MOS開關及該第三MOS開關為MOS，該第四MOS開關係為PMOS，且該第二控制信號係為該第一控制信號之反相。

12. 如申請專利範圍第9項所述之可變增益放大裝置，其中每該輸出級更包括：

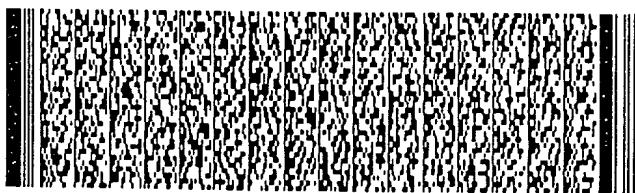
一PMOS，一端耦接該操作電壓；

一NMOS，一端耦接該PMOS，形成為該輸出級之該輸出端，另一端接地；

一第一開關單元；

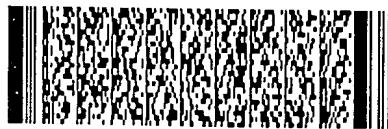
一第二開關單元；

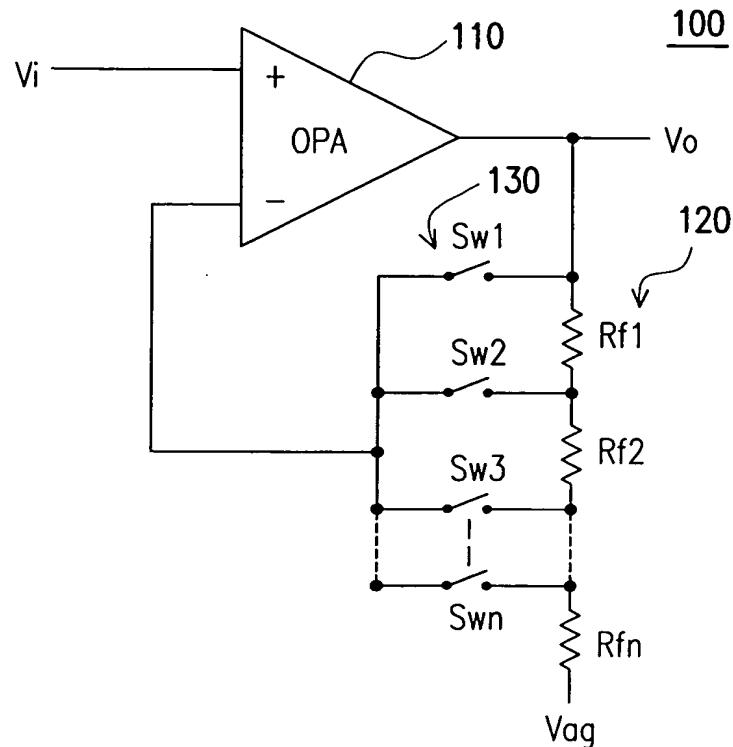
其中依據該第一控制信號之一第一狀態，該第一開關單元係用以控制該PMOS之閘極與該輸出級之該正輸入端耦接，該第二開關單元係用以控制該NMOS之閘極與該輸出級之該負輸入端耦接，且依據該第一控制信號之第二狀態，該第一開關單元係用以控制該PMOS之閘極與該操作電壓耦



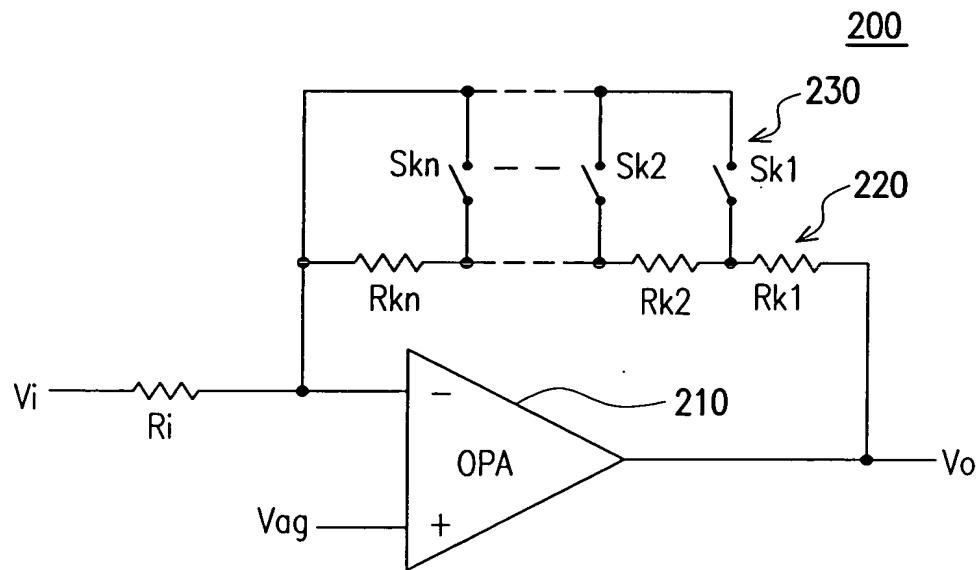
六、申請專利範圍

接，該第二開關單元係用以控制該NMOS之閘極與該接地點耦接。

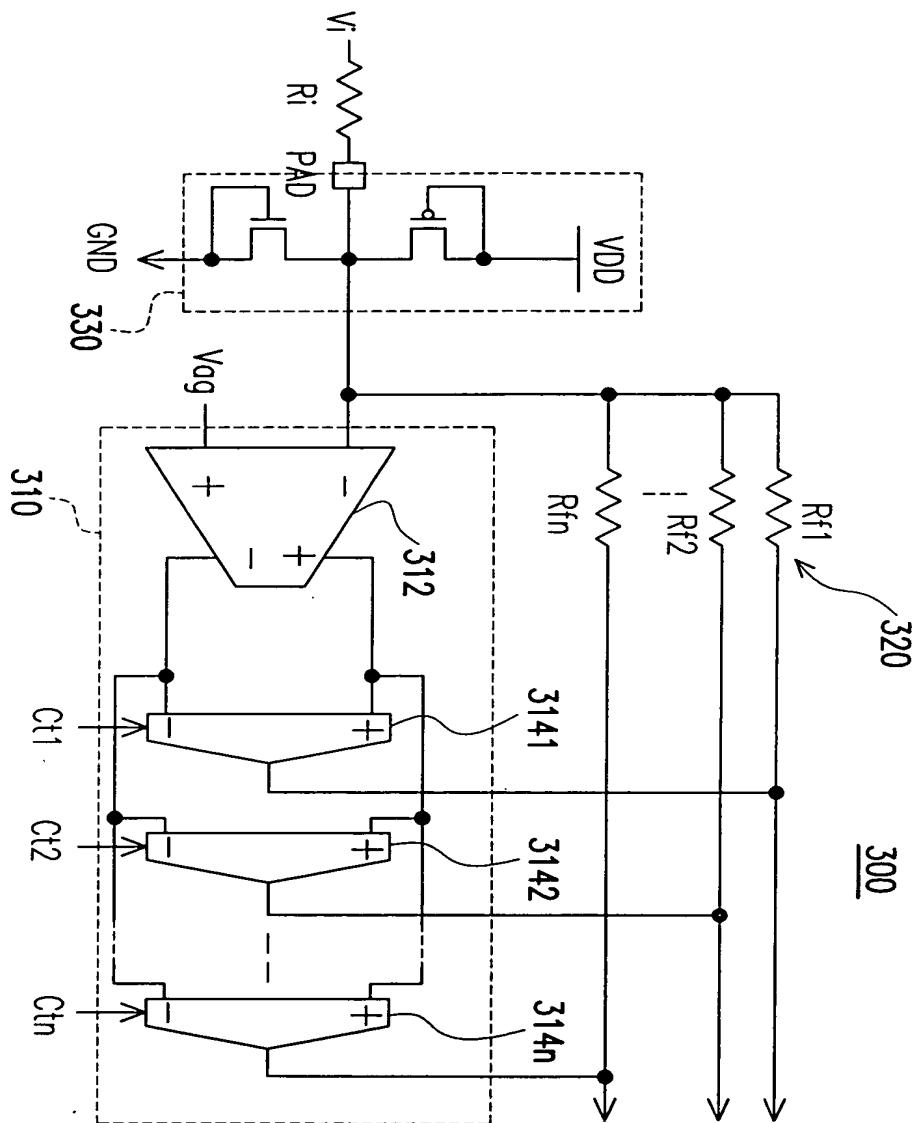




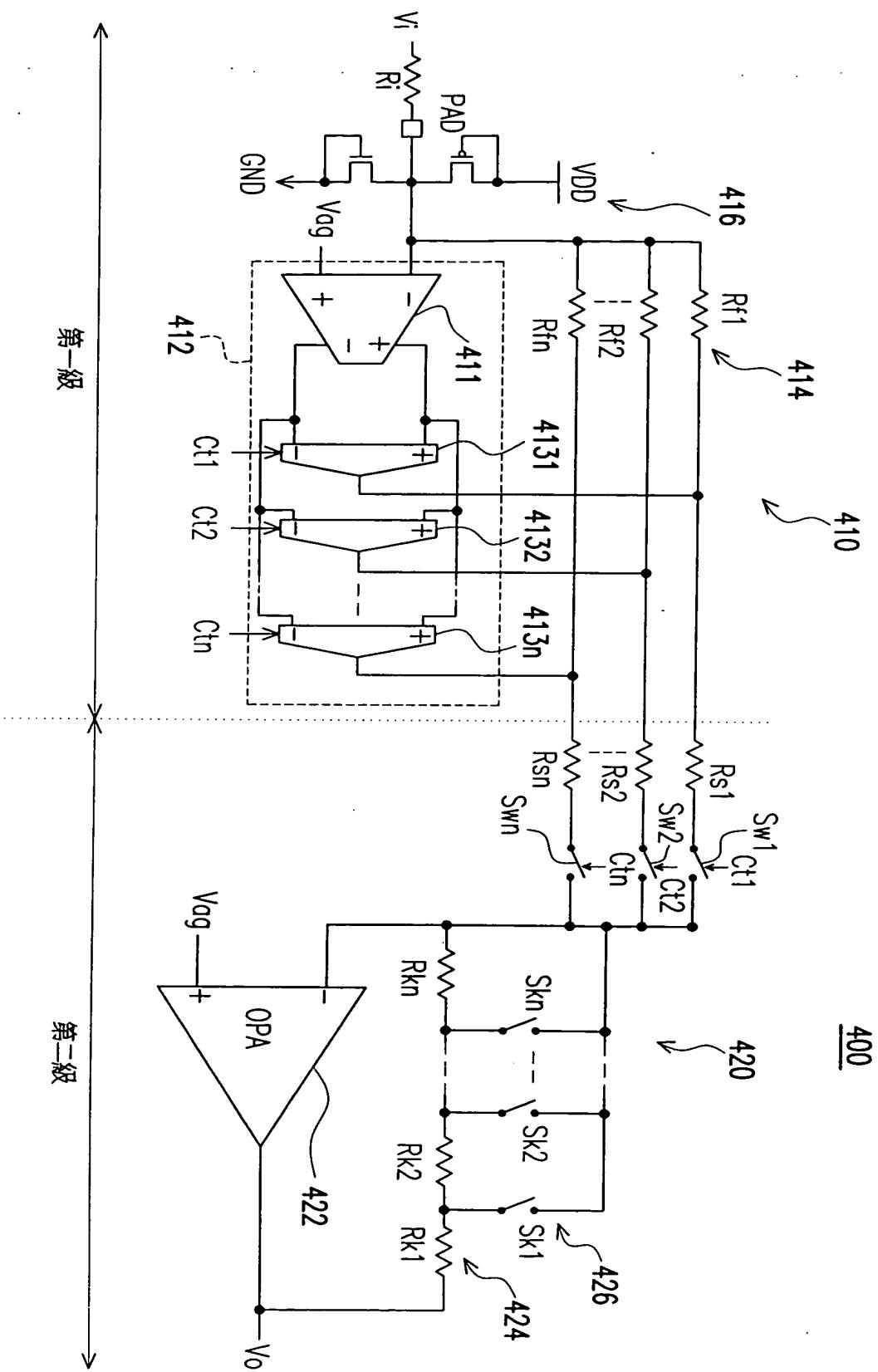
第 1 圖



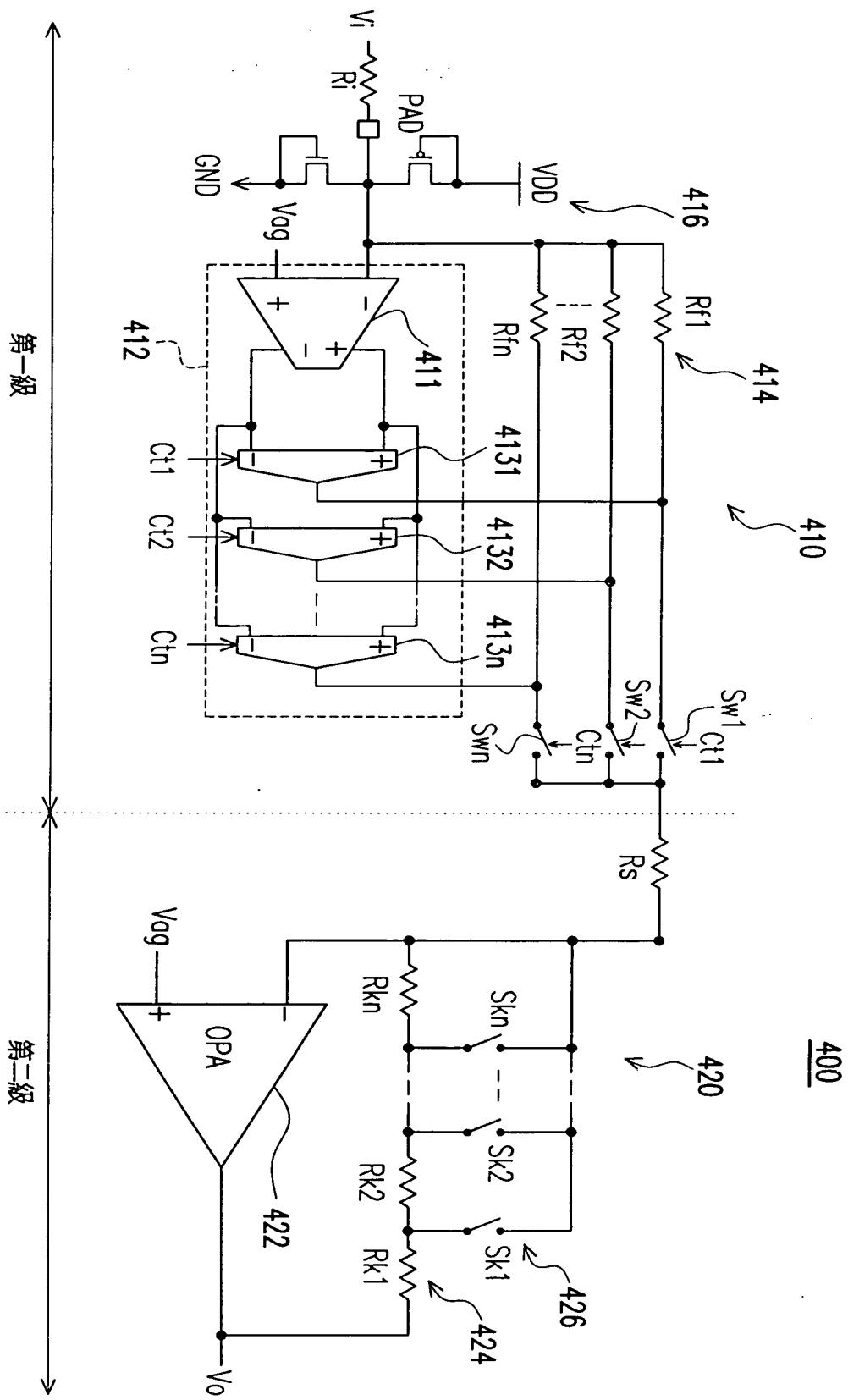
第 2 圖



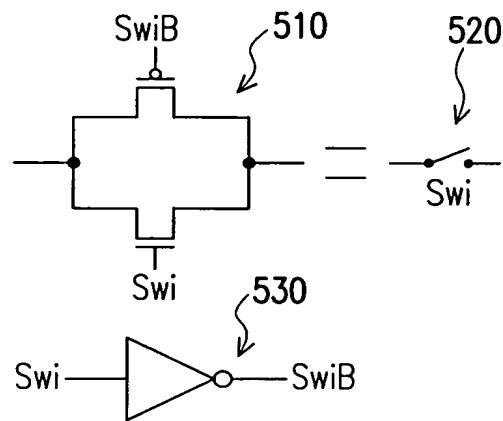
第3圖



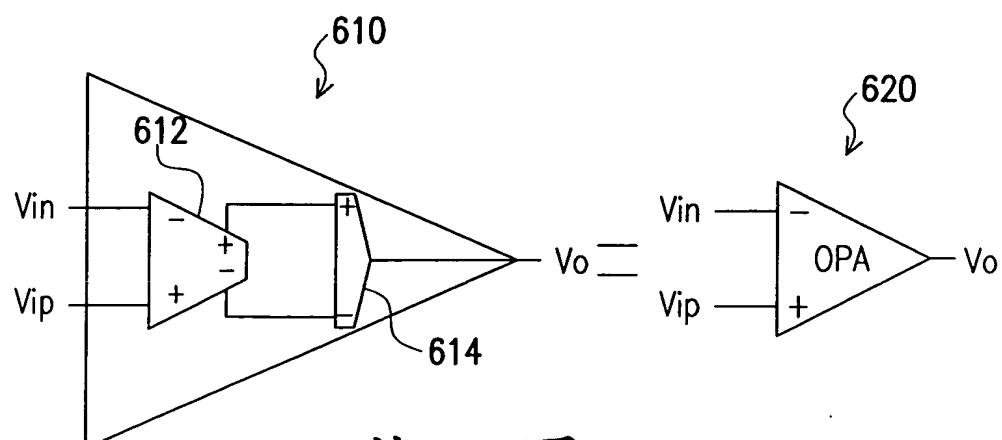
第4圖



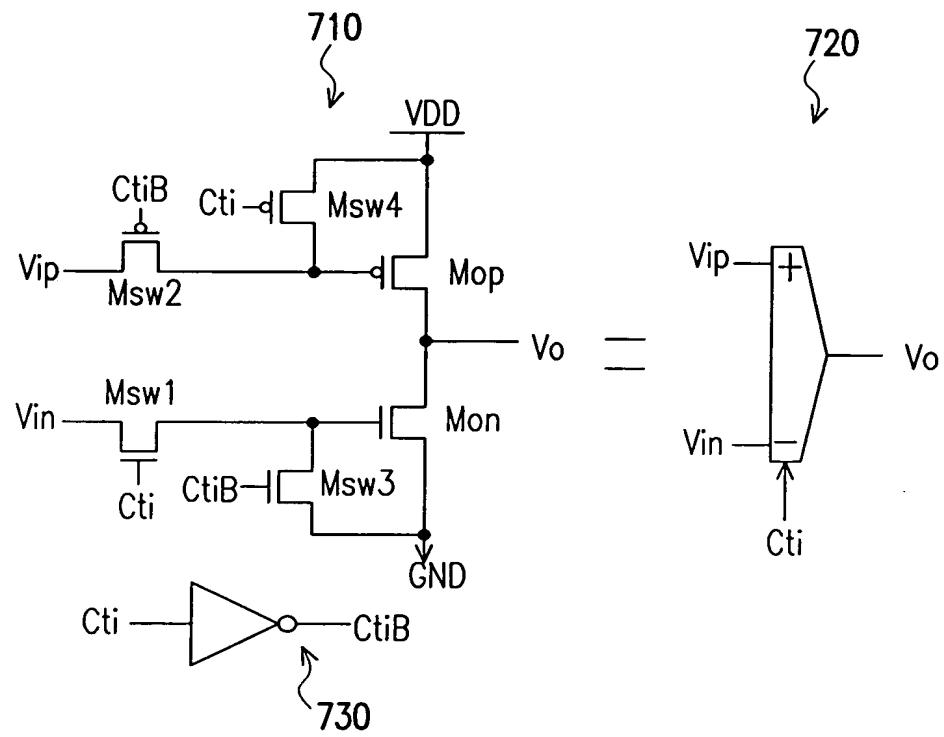
第 4A 圖



第 5 圖

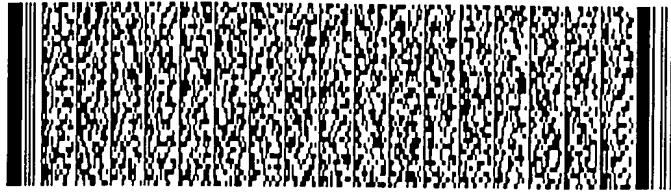


第 6 圖

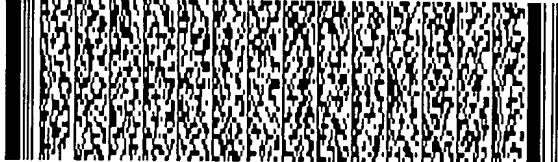


第 7 圖

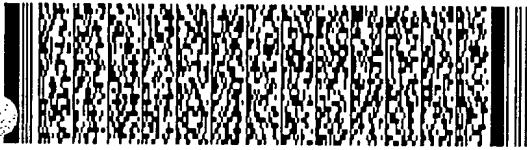
第 1/29 頁



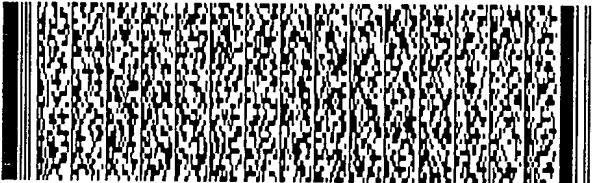
第 3/29 頁



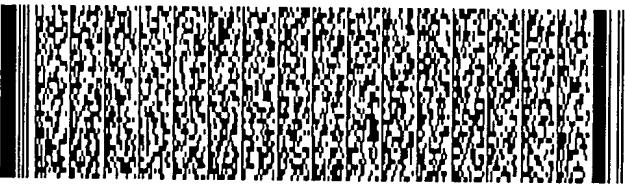
第 4/29 頁



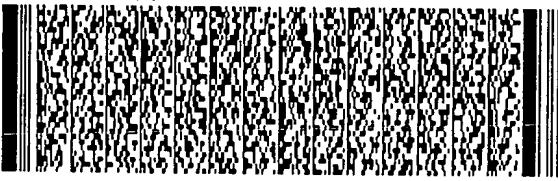
第 6/29 頁



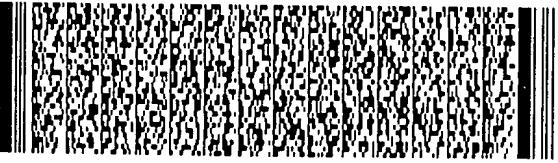
第 7/29 頁



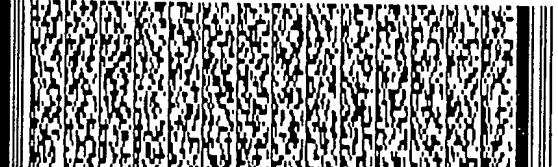
第 8/29 頁



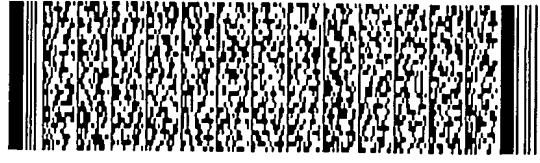
第 9/29 頁



第 10/29 頁



第 2/29 頁



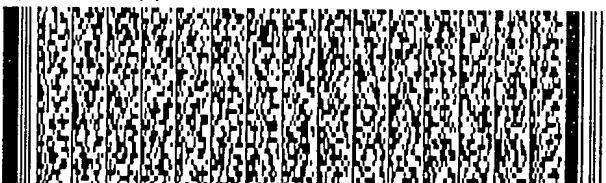
第 3/29 頁



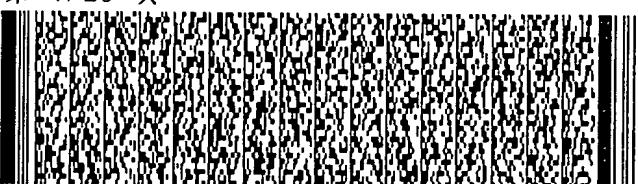
第 5/29 頁



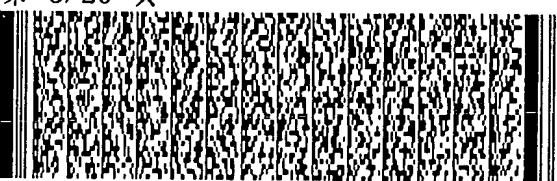
第 6/29 頁



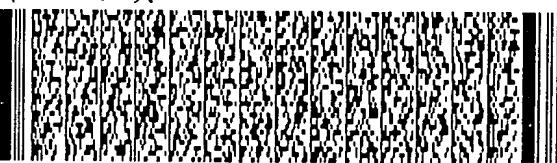
第 7/29 頁



第 8/29 頁



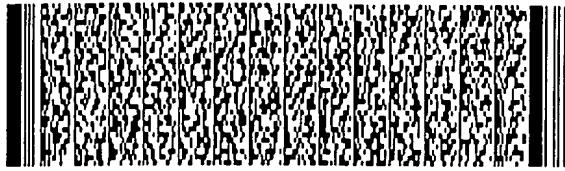
第 9/29 頁



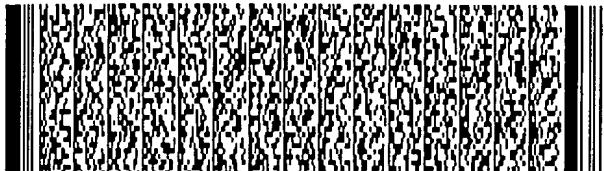
第 10/29 頁



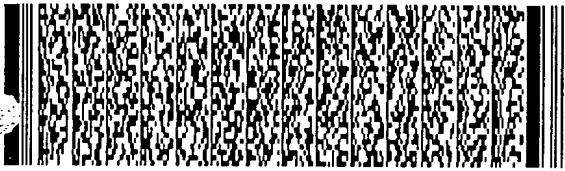
第 11/29 頁



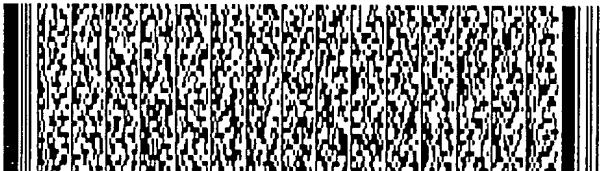
第 12/29 頁



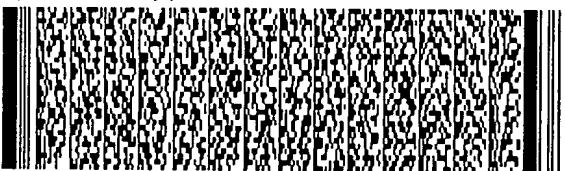
第 13/29 頁



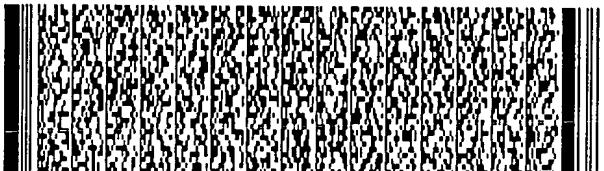
第 14/29 頁



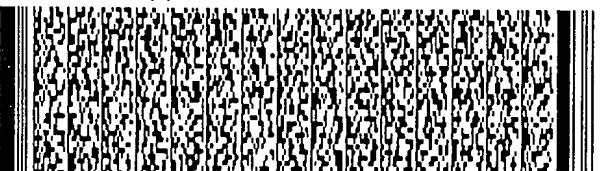
第 15/29 頁



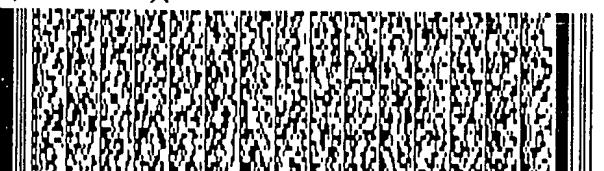
第 16/29 頁



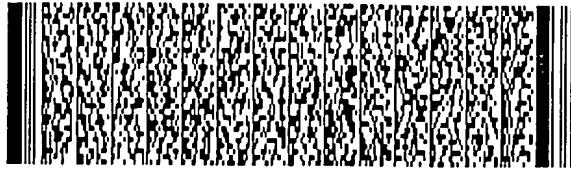
第 17/29 頁



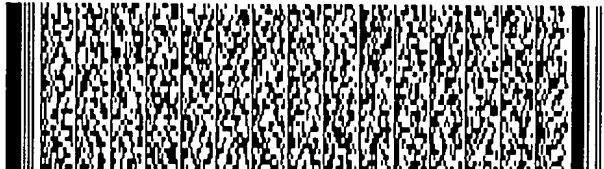
第 18/29 頁



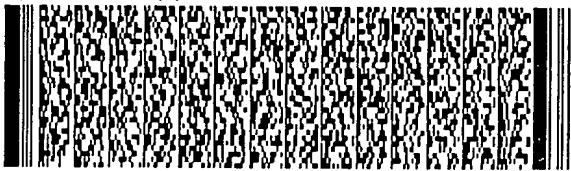
第 11/29 頁



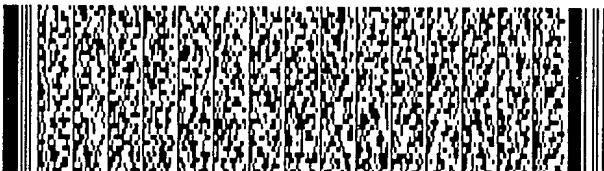
第 12/29 頁



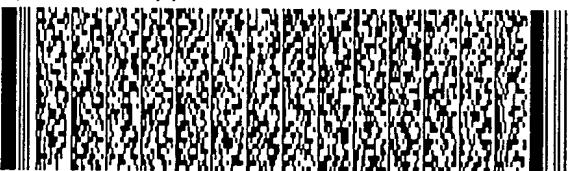
第 13/29 頁



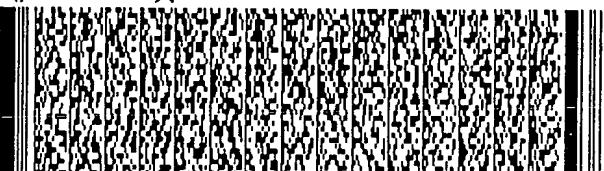
第 14/29 頁



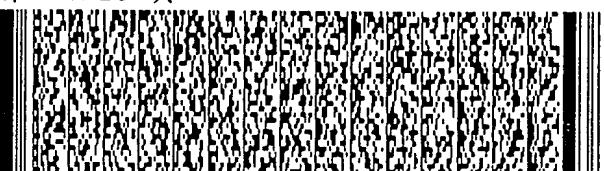
第 15/29 頁



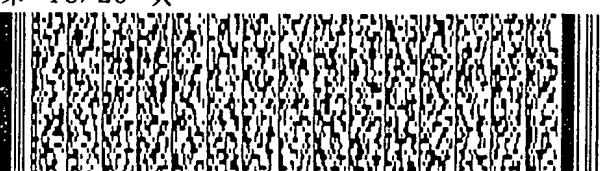
第 16/29 頁



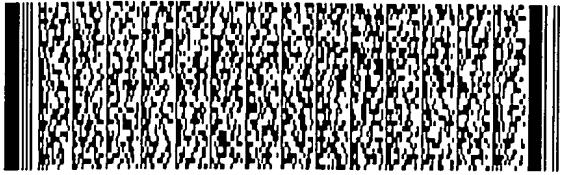
第 17/29 頁



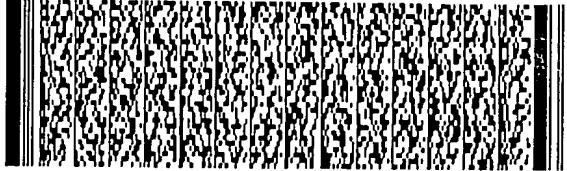
第 18/29 頁



第 19/29 頁



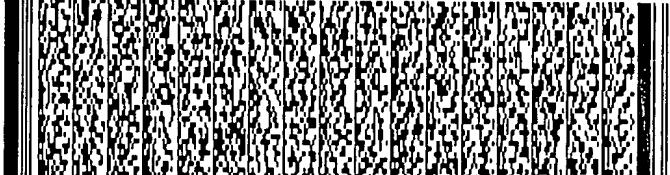
第 19/29 頁



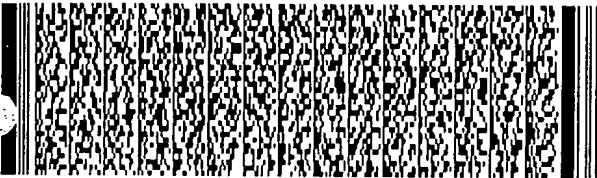
第 20/29 頁



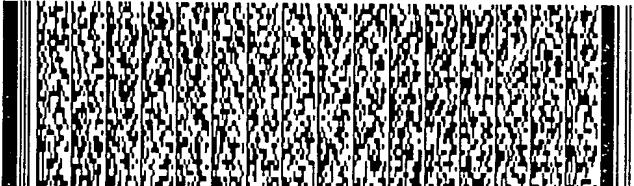
第 21/29 頁



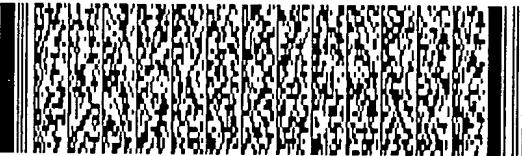
第 22/29 頁



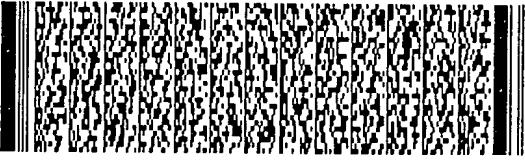
第 23/29 頁



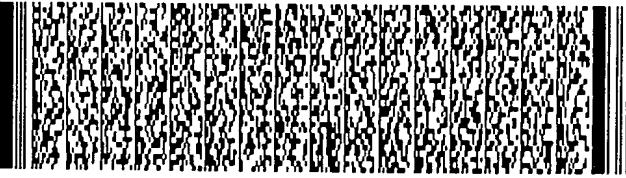
第 24/29 頁



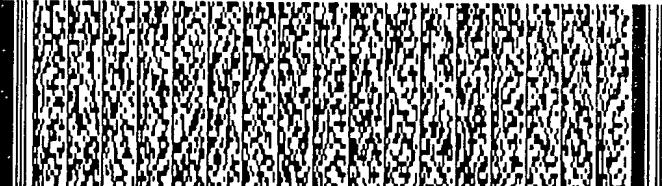
第 24/29 頁



第 25/29 頁



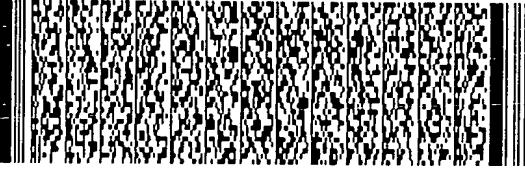
第 26/29 頁



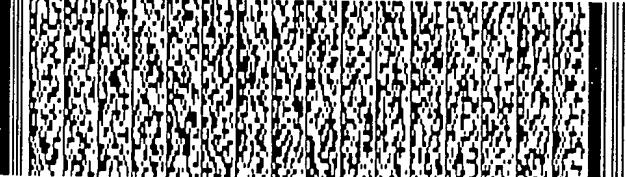
第 27/29 頁



第 27/29 頁



第 28/29 頁



第 29/29 頁

